

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-084525

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 21/20
H01L 21/205
H01L 33/00

(21)Application number : 06-198153

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.08.1994

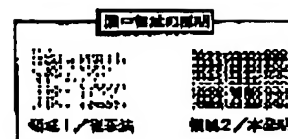
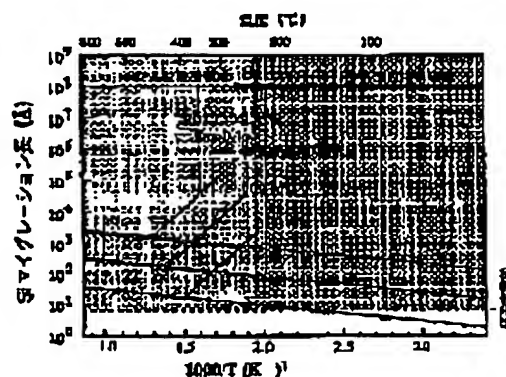
(72)Inventor : SHIGENIWA MASAHIRO
NISHIDA AKIO
MURAKAMI HIDEKAZU
KUJIRAI YUTAKA

(54) FORMING METHOD OF CRYSTALLINE PARTICLES AND SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a process of forming extremely fine size crystalline particles in diameter of 10-40 μ m; to produce unit electronic elements and shortwave Si light-emitting elements having high reliability.

CONSTITUTION: Fine particles in extremely fine size are deposited while maintaining the low temperature not exceeding the lower limit substrate temperature for crystalline phase deposition. These amorphous fine particles are made into extremely fine size by heat-treating at the temperature exceeding crystallizing temperature. A semiconductor device is structured of the crystalline fine particles held between insulating thin films and further between conductive materials. Next, the conductive materials are impressed with a voltage so as to implant the crystalline fine particles with a tunnel current for emitting light. Such unit elements can form a large-capacity, high-speed low-power LSI and blue-green light-emitting devices, which realize an optoelectronic system for transferring and processing a large amount of data.



LEGAL STATUS

[Date of request for examination] 19.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3256091

[Date of registration] 30.11.2001

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-64525

(43)公開日 平成8年(1996)3月8日

(51)IntCl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/20				
21/205				
33/00	A			

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号	特開平8-198153	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田麹町台四丁目6番地
(22)出願日	平成6年(1994)8月23日	(72)発明者	茂庭 昌弘 東京都国分寺市東森ケⅡ1丁目280番地 株式会社日立製作所中央研究所内
		(72)発明者	西田 彰男 東京都国分寺市東森ケⅡ1丁目280番地 株式会社日立製作所中央研究所内
		(72)発明者	村上 英一 東京都国分寺市東森ケⅡ1丁目280番地 株式会社日立製作所中央研究所内
		(74)代理人	弁理士 小川 勝男

最終頁に続く

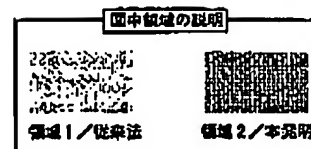
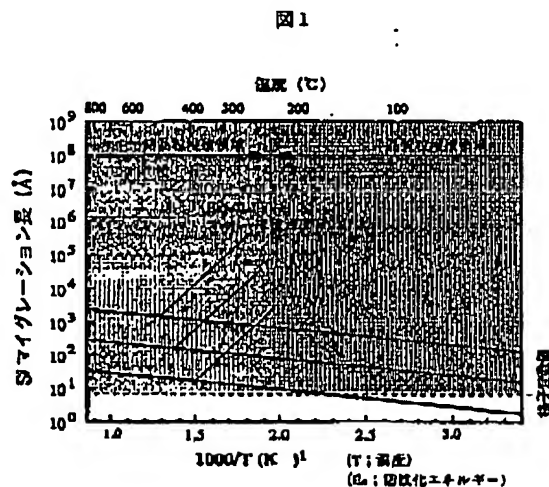
(54)【発明の名称】 結晶粒の形成方法および半導体装置

(57)【要約】

【目的】 10 ~ 40 Åの極微小サイズの結晶粒を形成する技術を提供し、高信頼性の単一電子素子および短波長発光のSi発光素子の製造を可能ならしめることにある。

【構成】 基板温度を結晶相堆積の下限温度以下の低温化に保ちつつ材料元素を堆積することにより、極微小サイズの微小粒を堆積する。この非晶質微小粒を結晶化温度以上で熱処理することにより結晶微小粒と化する。本発明の半導体装置は、上記結晶微小粒を絶縁性の薄膜ではさみ、さらにそれを導電性の材料ではさんだ構造をなす。導電性材料間に電圧をかけることにより、トンネル電流で結晶微小粒に電流を注入し、発光動作を得る。

【効果】 単一電子素子を用いた大容量・高速・低消費電力のLSIと、青〜緑色光素子とを用いて、大量データ転送・処理の光/電気融合システムを実現することが可能になる。



【特許請求の範囲】

【請求項1】異種基板上に結晶粒を形成する方法において、結晶粒の構成元素を一旦非晶質微小粒として堆積し、これを熱処理することにより結晶化することを特徴とする結晶粒の形成方法。

【請求項2】上記構成元素の堆積が、真空中の原子・分子ビーム輸送により行なわれる特許請求の範囲第1項記載の結晶粒の形成方法。

【請求項3】上記結晶粒の構成元素がSiであり、基板の材料がSiO₂である特許請求の範囲第1項記載の結晶粒の形成方法。

【請求項4】上記結晶粒を、結晶粒よりもエネルギー・ギャップの大きい材料ではさみ、それをさらに電極ではさみ、電極間に電圧をかけることにより電荷を結晶粒に注入してこれを発光させる半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、結晶粒を異種材料の上に形成する方法に係わり、特に、量子サイズ効果の発する微小結晶粒を形成する方法に関する。また、本発明は、単体で、もしくはSi系回路に搭載して光インター・コネクト用発光素子として用いる半導体装置に関する。

【0002】

【従来の技術】エレクトロニクスのサブシステムである大規模集積回路 (Large Scale Integrated circuit; LSI) は、素子を微細化することで大容量・高速・低消費電力の性能を飛躍的に向上させてきた。しかし、今や微細化は、従来の素子の動作原理の限界と目される0.1 μm の壁を目の当たりにするところまで来た。0.1 μm 以降は、新たな動作原理の電子素子がLSIの発展を担わなければならない。新たな素子とは、超微細構造で発現する量子サイズ効果を利用したもので、特に、その原理の簡潔さから、100 Å以下のサイズの微小結晶粒に発現するクーロン・ブロック現象を用いた単一電子素子が主眼である。最近では、単一電子素子に関する理論計算や、原理実験の結果が多く報じられるようになり、その進展は著しい。しかしまた、この素子が新しく産業を支えるようになるためには、素子製造技術の開発も欠かせない。この分野はまだ黎明期にある。発明者らは、先に、SiO₂上で生ずるSi原子のマイグレーションとその後の凝集現象により微小結晶粒を形成する技術を報告した。

【0003】また、今後のエレクトロニクスの潮流における新しい重要なうねりは、電子回路と光通信との融合である。光ファイバによるデータの双方向大量伝送と高速LSIによるデータ処理が、アメリカでも日本でも、職場でも家庭でも日常の光景になる。その際、LSIと光ケーブルとの接続部に光/電気変換素子が必要である。受光発光素子としてはGaAs系の化合物半導体素子

(2)

特開平8-64525

2

が代表的であるが、電子回路の主流であるSiLSIに搭載出来ない。SiとGaAsが互いにドーパントの関係にあり、化学的に相性が悪いためである。したがって、Siを用いた光/電気変換素子が求められる。Si受光素子は、これまでも開発の歴史があり、フォト・ダイオード、フォト・トランジスタなど、実用化もされている。しかし、発光に関しては、Siが間接遷移型のバンド構造を有するため実現が難しく、多孔質Siの可視発光が発見された近年ようやく研究・開発が始まった。多孔質Siは、陽極化成で生ずるSiの虫食い現象により得られるもので、ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス (Japanese Journal of Applied Physics) 第31巻 (1992年) 第L1219頁から第L1222頁において論じられているように、直径150 ~ 280 ÅのSiO₂の粒によりなり、その中に、SiO₂粒の1/3程度の直径 (50 ~ 80 Å) のSi粒が内包されている。Si粒のサイズが100 Å以下と極めて小さいため、量子サイズ効果によりバンド構造が直接遷移型にシフトし、発光が可能である。この陽極化成法では、Si粒のサイズを化成電流密度によって結果的に制御している。このため、大量データ伝送に望ましい高周波数帯域すなわち青~緑色の短波長域の発光に必要な特に微小な10 ~ 40 ÅのSi粒を制御して形成することは難しい。

【0004】

【発明が解決しようとする課題】単一電子素子は、 $(e+e)/2C$ (C :微小粒の静電容量, e :素電荷量) が kT ($T=300K$) より大きな時に安定して動作する。 C は粒が小さいほど小さい。計算によれば、10 ~ 80 Åが素子動作のための該当範囲である。しかし、特に信頼性が必要な場合には、 $(e+e)/2C$ と kT の違いを十分大きく取る必要があり、10 ~ 40 Åがこれに 대응する粒径範囲になる。一方、Si発光素子においては、粒径が発光波長に対応しており、青~緑色の発光には10 ~ 40 ÅのSi微小粒が求められる。いずれの場合も、10 ~ 40 Åの極微小径でSi粒を形成する技術が必要である。

【0005】発明者らが先に報告した結晶粒の形成技術は、基板温度とSiの堆積速度を制御して所望のサイズの結晶粒を堆積するものである。基板温度を低温化し (ただし、Siが結晶相で堆積する240℃が下限)、堆積速度を高速化すれば、10 ~ 40 ÅのSi結晶粒を形成することも可能である。しかし、このように特にサイズが小さい微小粒を形成する場合には面内均一性や製造装置に関連して問題が生ずる。

【0006】例えば、20 Åの微小粒を20 Åの間隔で形成しようすると、連続膜の膜厚に換算して2 Å程度の堆積することになる。1 Å/sec. (図1参照, 850℃) で堆積するなら堆積時間は2秒ということになる。ところで、堆積開始、停止のためにビーム・シャッターを開閉すれば、Si照射ビームの断面形状は、シャッターが

(3)

特開平8-64525

3

横切るのに対応して非対称に変形する。この間、基板へのSi照射は不均一になり、堆積量の基板面内均一性は低下する。開閉の遷移時間が定常照射の時間に比べて充分短ければこの問題は無視できる。しかし、遷移時間がたかだか0.3秒であっても、堆積時間が2秒と短かければ、遷移時間の割合は3割に達し、実際のところ、無視できない。

【0007】また、通常、膜厚の基板面内均一化のために堆積中に基板回転を行なうが、均一化を達成するためには、堆積終了までに最低でも1回転させなければならぬ。これは、堆積時間2秒に対して30rpmの回転速度に相当する。実際には、均一化の効果を充分働かせるため10回転くらいは必要で、300rpmの回転速度が必要である。300rpmというのは真空内駆動装置としては速い回転速度であり、この場合、装置の故障頻度の増加という問題が生ずる。

【0008】これらの問題を回避するには、より低速でSi粒を堆積できる技術が必要になる。従来法では、堆積速度を低速化すると、Si原子のマイグレーション長が長くなるため結晶粒サイズが大きくなってしまい、10～40Åの極微小サイズの粒堆積は出来ない。

【0009】本発明の課題は、高信頼性の単一電子素子および青～緑色発光のSi発光素子製造のために、10～40Åの極微小サイズの結晶粒を制御して形成する技術を提供することである。また、Si発光素子に関しては、本発明で形成した微小粒を利用した素子構造も提供する。

【0010】

【課題を解決するための手段】10～40Åの極微小サイズの結晶粒を1Å/sec.以下の低速堆積で形成する本発明の手段は次のとおりである。まず、基板温度を結晶相堆積の下限温度(240℃)以下にまで低温化し、非晶質Si微小粒を堆積する。次に、結晶化温度(240℃)以上の熱処理を行ない、これを結晶化する。

【0011】また、本発明で形成した微小粒を用いて発光素子をなすためには次の構造を構成する。即ち、10～40Åの極微小サイズの結晶粒の上下を薄い絶縁性の膜ではさみ、さらにその上下を導電性材料ではさんだ構造を形成する。この構造において導電性材料間に電圧をかけることにより、微粒子において発光現象を生ぜしめる。発光素子には、素子の断面において(通常、基板の劈開面)発光させるものと、電極側から(基板の平面)光を取り出すものがある。後者の場合には、絶縁性の膜および取り出し側の導電性材料に透明な材料を用いる。微粒子の層は一層でも複数層でもよい。

【0012】

【作用】10～40Åの極微小サイズの結晶粒を低速堆積で形成する手段について。

【0013】本発明の製造方法は、微小粒を乗せる絶縁膜を所望の温度に加熱しつつ、これに、微小粒の構成元

4

素からなる原子もしくは分子を気相中から供給する。絶縁膜を昇温しておくことにより、膜上に供給した構成元素に熱エネルギーを与え、膜上移動(マイグレーション)、及びマイグレーションの結果として出会った元素どうしの凝集を可能にする。Si原子をSiO₂膜表面に照射したときの、膜表面におけるSi原子のマイグレーション長を基板温度の関数として図1に示す。マイグレーションが終了した時点で凝集が生じSi粒が発生するため、マイグレーション長はおおよそSi粒の発生間隔に相当し、間隔いつはいにSi粒を成長させるときの粒径にも相当する。

【0014】マイグレーション長は、図1に示すように、基板温度およびマイグレーション種の供給速度(堆積速度)により変化する。基板温度を下げれば、マイグレーションのために供給されるエネルギーが減るので、マイグレーション長は減少する。供給速度(堆積速度)を上げれば、単位面積当たりに存在するマイグレーション種の数が増加し、互いに出会う確率が増加する。わずかの移動距離で他のマイグレーション種と出会い合体して凝集体となり移動が停止してしまうので、マイグレーション長はやはり短くなる。基板温度と堆積速度を駆使して所望のサイズの結晶粒を堆積しようというのが従来法である。この方法では、結晶相で堆積する温度に下限があるため、既に述べたように、極微小サイズで微小粒を形成しようとするは無視できない困難が生ずる。参考のため従来法の堆積条件領域を図1中にライトグレイの領域(領域1)で示す。

【0015】本発明は、結晶相堆積の下限温度よりもさらに充分に基板温度を低温化してSiを堆積する。こうすることで、図1に示すように、速い堆積速度でもマイグレーション長を充分短くすることができる。(本発明の堆積条件領域は、図1中、ダークグレイで示した領域(領域2)である。特性線のうち、この領域に入っている部分が堆積条件になる。なお、結晶構造の最小単位サイズの格子定数よりもマイグレーション長の短い領域は微小粒堆積には使わない。結晶の最小構造よりも小さい粒が堆積するので、結晶たり得ないからである)。しかし、結晶化温度より低温であるため、従来法のように堆積工程それだけで結晶粒を得るわけにはいかない。微小粒は非晶質状態で堆積する。堆積後に結晶化温度以上の温度で熱処理することにより、固相成長が生じ非晶質微小粒は結晶相に遷移する。

【0016】10～40Åの極微小サイズの結晶粒を用いた発光素子における作用について。

【0017】絶縁性の膜を薄く形成しておくことにより、これをはさむ導電性材料(電極として用いる)に電圧をかけたとき、膜中にトンネル電流が流れる。絶縁性の膜は極微小結晶粒を挟み込んでいるから、トンネル電流は微小粒によるポテンシャルの井戸を介して流れる。即ち、微小粒に電流が注入される。ポテンシャルの井戸

(4)

特開平8-64525

5

にキャリアが注入されれば、キャリアの再結合が生ずる。この時、微小粒は量子サイズ効果により直接遷移型のバンド構造にシフトしているから、再結合により主としてフォトン即ち光が放出される。絶縁性の膜や電極に透明のものを使えば、これらのものを透過して光が放出され、電極側に光の出口を設けることができる。透明材料の例としては、絶縁膜、導電膜で、それぞれ、 SiO_2 やボロン/リン添加ガラス、および、Indium tin oxide (ITO)、などがある。

【0018】

【実施例】

(実施例1) 本発明の製造方法により、直径 20 Å の結晶 Si 微小粒を形成し、それをチャンネルに用いて単一電子トランジスタを作製した例について述べる。

【0019】まず、作製したトランジスタの構造を図4(c)に示す。ソース端子9、ドレイン端子10間に電圧をかけ結晶 Si 微小粒5を介してソース・ドレイン間電流を流し、この電流をゲート端子8にかける電圧でON/OFFする。ゲート端子8に電圧がかかっていない時は、微小粒5において量子サイズ効果によって発現するクーロン・ブロック現象のため、電流は流れない(OFF状態)。ゲート端子8に電圧をかけ微小粒5間のトンネル抵抗を量子抵抗($h/4e^2$)、 h ; プランク定数、 e ; 素電荷量)以下にすれば、クーロン・ブロックが破れて、電流が流れる(ON状態)。

【0020】以下、結晶 Si 微小粒およびそれを用いた単一電子トランジスタの作製について順に説明する。抵抗率 0.003 Ωcm の低抵抗 Si ウェハ1を用い、通常の選択酸化法により、素子形成領域以外の表面に厚さ 250 Å の SiO_2 膜2を形成し、素子分離領域とした(図2(a)参照)。次に、このウェハを酸素雰囲気中で熱処理し、素子形成領域の表面に厚さ 40 Å の SiO_2 膜2を形成した(図2(b)参照)。この上に、CVD法により厚さ 1000 Å のタングステン膜3を堆積し、これをマスクを用いたドライ・エッチングにより図2(c)に示すようにパターンニングした。これらは最終的にはそれぞれソース、ドレインとして用いる。

【0021】試料を超高真空槽に導入して 125 °C に加熱し、この温度に保持しながら、電子ビーム蒸着法により、基板の SiO_2 膜2表面へ 0.1 Å/sec. の堆積速度で Si 原子を供給した。これにより、試料表面に直径 20 Å、高さ 10 Å の半球形非晶質 Si 微小粒4を 20 Å の間隔で形成した(図3(a)参照)。この時、堆積所要時間は 20 秒であり、30 rpm の速度で基板を 10 回転させた。その後、500 °C に昇温し、1時間の熱処理を行なって、非晶質 Si 微小粒4を結晶化した。

【0022】次に、 SiH_4 、 O_2 、 PH_3 、 B_2H_5 を原料ガスに用いた化学気相堆積法 (Chemical Vapor Deposition; CVD) によりボロン/リン添加ガラス6を堆積し、これを 800 °C の熱処理によるリフロー

6

で表面を平坦化し、結晶化した Si 微小粒5のないところで厚さ 50 Å、あるところで厚さ 40 Å とした(図3(b)参照)。

【0023】再びタングステン膜3をCVD法により堆積し、マスクを用いたドライエッチングでゲート電極7の形状に成形した(図3(c)参照)。

【0024】層間絶縁膜として SiO_2 膜2をCVD法により堆積し(図4(a)参照)、集積回路の製造工程において通常に行なわれるとおり、配線(図4(b)参照)及びパッシベーション膜形成を行ない、ゲート端子8、ソース端子9、ドレイン端子10、基板電位端子11を形成した(図4(c)参照)。

【0025】基板電位端子11およびソース端子9を接地し、ゲート端子8に負、ドレイン端子10に正の電圧を印加してこの半導体装置の動作を調べ、ゲート電圧によってドレイン電流がねらいどおり ON/OFF することを確認した。

【0026】(実施例2) 本発明の製造方法により、直径 20 Å の結晶 Si 微小粒を形成し、それを用いて Si 発光素子を作製した例について述べる。

【0027】まず、作製した Si 発光素子の構造を図6(c)に示す。上部電極13、下部電極14間に電圧をかけてトンネル電流を流し、結晶 Si 微小粒5にキャリアを注入することにより発光を得る。

【0028】以下、作製の流れにしたがって順に説明する。抵抗率 0.003 Ωcm の低抵抗 Si ウェハ1を用い、通常の選択酸化法により、素子形成領域以外の表面に厚さ 2500 Å の酸化膜を形成し、素子分離領域とした(図5(a)参照)。次に、このウェハを酸素雰囲気中で熱処理し、素子形成領域の表面に厚さ 30 Å の SiO_2 膜2を形成した(図5(b)参照)。

【0029】試料を超高真空槽に導入して 125 °C に加熱し、この温度に保持しながら、電子ビーム蒸着法により、基板の SiO_2 膜2表面へ 0.1 Å/sec. の堆積速度で Si 原子を供給した。これにより、試料表面に直径 20 Å、高さ 10 Å の半球形非晶質 Si 微小粒4を 20 Å の間隔で形成した(図5(c)参照)。この時、堆積所要時間は 20 秒であり、30 rpm の速度で基板を 10 回転させた。その後、500 °C に昇温し、1時間の熱処理を行なって、非晶質 Si 微小粒4を結晶化した。

【0030】次に、 SiH_4 、 O_2 、 PH_3 、 B_2H_5 を原料ガスに用いた化学気相堆積法 (Chemical Vapor Deposition; CVD) によりボロン/リン添加ガラス6を堆積し、これを 800 °C の熱処理によるリフローで表面を平坦化し、結晶 Si 微小粒5のないところで厚さ 40 Å、あるところで厚さ 30 Å とした(図6(a)参照)。

【0031】この上に、光学素子で通常に報告されるように、スパッタ法により Indium tin oxide (ITO) 膜12を堆積した。そしてこれをマスクを用いたエッチング

(5)

特開平8-64525

7

で所望の形状の上部電極13に成形した。更にこの上部電極13をマスクとしてボロン／リン添加ガラス6のエッチングを行ない、電極領域以外のボロン／リン添加ガラス6および結晶Si微小粒5を除去した(図6(b)参照)。これは、結晶Si微小粒5を伝わって上部電極13間に不要な電流が流れるのを防ぐためである。

【0032】その後、集積回路の製造工程において通常に用いられている技術を使って、パッシベーションと配線を行ない、素子作製を完了した(図6(c)参照)。

【0033】こうしてできた素子の上部電極端子15と下部電極端子16に電圧を印加し観察したところ、青色発光が観察された。即ち、本発明により所望の発光素子が作製できたことを確認した。

【0034】

【発明の効果】本発明によれば、高信頼性の単一電子素子および青〜緑色発光のSi発光素子が作製できるため、単一電子素子による大容量・高速・低消費電力のLSIと青〜緑色Si発光素子を用い、大量データ転送・

8

処理の光／電気融合システムを実現することが可能になる。

【図面の簡単な説明】

【図1】本発明の製造方法の原理を説明する図である。

【図2】第1の実施例を示す図である。

【図3】第1の実施例を示す図である。

【図4】第1の実施例を示す図である。

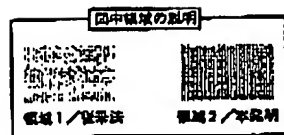
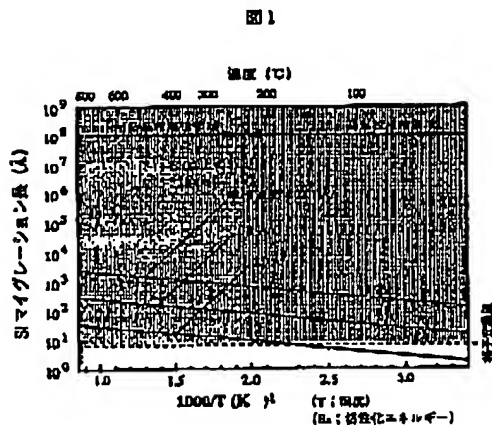
【図5】本発明の半導体装置の構造と第2の実施例を示す図である。

10 【図6】本発明の半導体装置の構造と第2の実施例を示す図である。

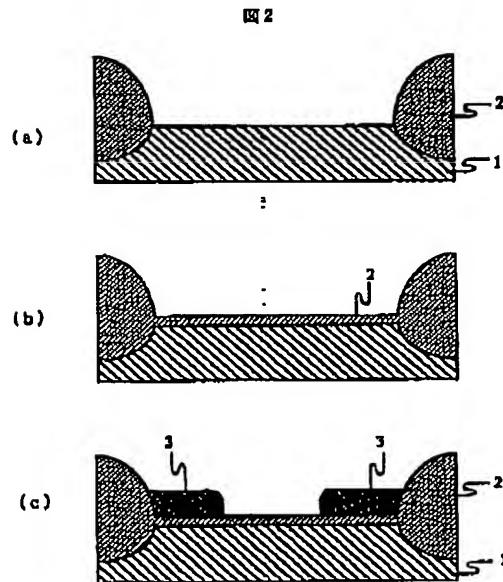
【符号の説明】

1…Siウエハ、2…SiO₂膜、3…タングステン膜、4…非晶質Si微小粒、5…結晶Si微小粒、6…ボロン／リン添加ガラス、7…ゲート電極、8…ゲート端子、9…ソース端子、10…ドレイン端子、11…基板電位端子、12…Indium tin oxide (ITO)膜、13…上部電極、14…下部電極、15…上部電極端子、16…下部電極端子。

【図1】



【図2】



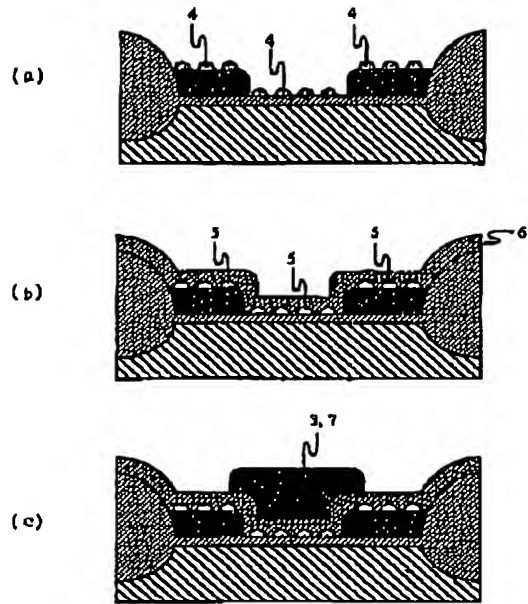
1…Siウエハ 2…SiO₂膜
3…タングステン膜

(6)

特開平8-64525

【図3】

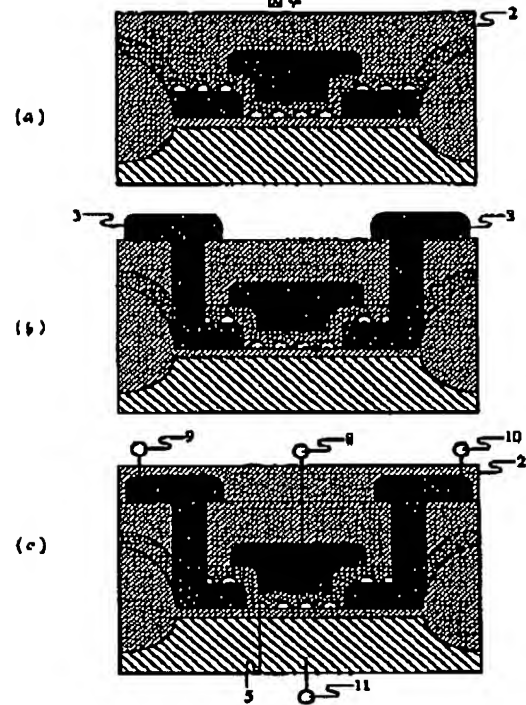
図3



4... 非晶質Si微小粒 5... 結晶Si微小粒
6... ポリシリコン膜加ガラス 7... ゲート電極

【図4】

図4

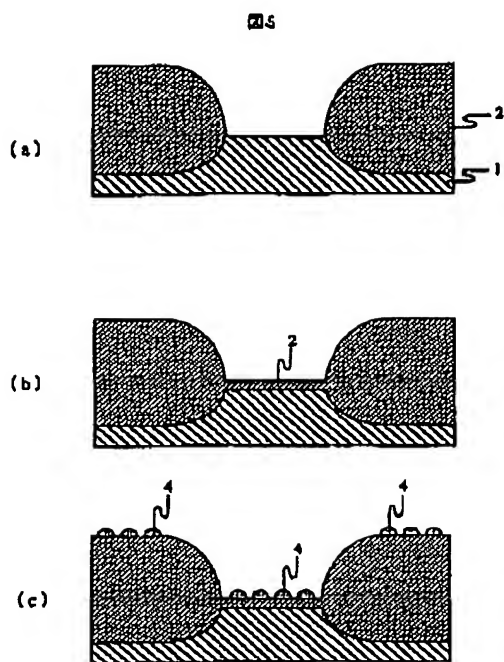


5... 結晶Si微小粒 6... ゲート電極 7... ソース電極
8... フレイン電極 11... 基板電位電極

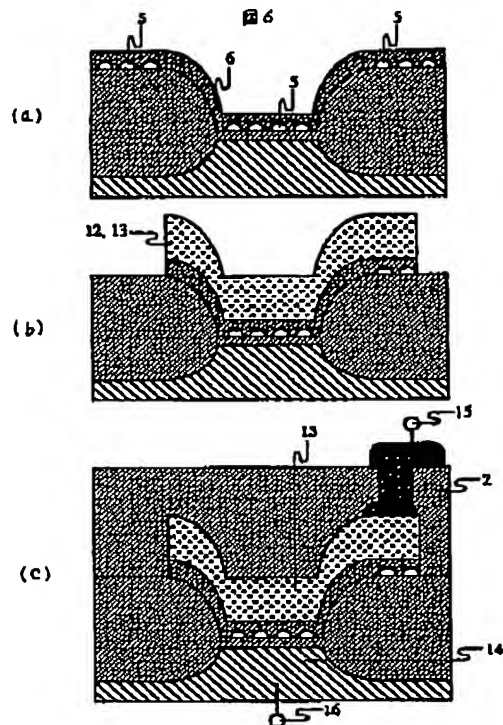
(7)

特開平8-64525

【図5】



【図6】



12 ... Indium tin oxide 膜 13 ... 上部電極 14 ... 下部電極
15 ... 上部電極端子 16 ... 下部電極端子

フロントページの続き

(72)発明者 鯨井 裕
東京都国分寺市東恋ヶ丘1丁目280番地
株式会社日立製作所中央研究所内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年6月8日(2001.6.8)

【公開番号】特開平8-64525

【公開日】平成8年3月8日(1996.3.8)

【年通号数】公開特許公報8-646

【出願番号】特願平6-198153

【国際特許分類第7版】

H01L 21/20

21/205

33/00

【F I】

H01L 21/20

21/205

33/00 A

【手続補正書】

【提出日】平成12年4月19日(2000.4.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】異種基板上に結晶粒を形成する方法において、結晶粒の構成元素を一旦非晶質微小粒として堆積し、これを熱処理することにより結晶化することを特徴とする結晶粒の形成方法。

【請求項2】上記構成元素の堆積が、真空中の原子・分子ビーム輸送により行なわれる請求項1記載の結晶粒の形成方法。

【請求項3】上記結晶粒の構成元素がSiであり、基板の材料がSiO₂である請求項1記載の結晶粒の形成方

法。

【請求項4】請求項1乃至3のいずれかに記載の結晶粒の形成方法によって形成された結晶粒が、該結晶粒よりもエネルギー・ギャップの大きい材料ではさまれ、それがさらに電極ではさまれた構造を具備してなり、前記電極間に電圧がかかることにより電荷が前記結晶粒に注入され、該結晶粒が発光する半導体装置。

【請求項5】請求項1乃至3のいずれかに記載の結晶粒の形成方法によって形成された結晶粒が、該結晶粒よりもエネルギー・ギャップの大きい材料ではさまれ、それがさらに電極ではさまれた構造を具備してなり、前記電極間に電圧がかかることにより電荷が前記結晶粒に注入される半導体装置。

【請求項6】結晶粒と電極とを具備してなり、前記電極間に電圧がかかることにより電荷が前記結晶粒に注入される半導体装置。